

3057

۲۰۰۰

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

www.Ketab.ir

مدار منطقی (دیجیتالی)

مناسب برای گایه رشته های : برق ، الکترونیک ،

کامپیوتر .

نویسنده : مهندس خلیل فاضلی

سرشناسه	: فاضلی، خلیل، ۱۳۶۶ -
عنوان و نام پدیدآور	: مدار منطقی (دیجیتال) مناسب برای کلیه رشته‌های : برق، الکترونیک، کامپیوتر و ... / نویسنده خلیل فاضلی.
مشخصات نشر	: قم: سپهر اندیشه، ۱۳۹۶.
مشخصات ظاهری	: ۳۰۰ ص.: مصور، جدول، نمودار.
شابک	: ۹۷۸-۶۰۰-۳۱۱-۰۶۷-۰
وضعیت فهرست نویسی	: فیپا
یادداشت	: کتابنامه.
موضوع	: مدارهای منطقی — راهنمای آموزشی (عالی)
موضوع	: (Logic circuits -- Study and teaching (Higher
رده بندی کنگ	: TK ۷۸۶۸/م۴۸ف۲ ۱۳۹۶
رده بندی دیویی	: ۳۹۵۰۷/۶۲۱
شماره کتابشناسی ملی	: ۴۹۹۰۴۸

م - خیابان امامزاده ابراهیم، پلاک ۵۳۷

ت - ۰۹۱۲۱۸۲۰۰ - ۳۸۸۱۴۷۱۴ - ۰۲۵



نام کتاب : مدار منطقی

مؤلف: خلیل فاضلی

ناشر : انتشارات سپهر اندیشه

نوبت چاپ : اول - ۱۳۹۶

تیراژ : ۵۰۰ جلد

قیمت: ۱۶۰۰۰ تومان

چاپ : آبنوس

حق چاپ محفوظ و مخصوص مؤلف می باشد

روح پر فتوح شهدا و امام شهدا

و تقدیم به:

آن صنوبرهای سرخی که چون لاله زاده شدند و چون شقایق ایستاده مردند.

و هم چون سالار شهیدان ازادنه جان دادن .

با تشکر خالصانه خدمت همه کسانی که به نوعی مرا در به انجام رساندن این مهم یاری نموده‌اند.

www.Ketab.ir

پیش گفتار:

هدف از نگارش این کتاب ایجاد انگیزه در نسل جوان و خواندن کتاب های تخصصی رشته های برق و الکترونیک و کامپیوتر و غیره... می باشد و همچنین ارتباط با کتاب و موضوع کتاب خوانی می باشد که باعث تقویت پایه علمی نسل جوان می شود که این موضوع باعث پیشرفت جامعه می شود.

در این کتاب سعی شده است که مفاهیم مدار منطقی به زبان ساده بیان شود و همچنین مثال های ساده و کاربردی بیان شده است. سرفصل های این کتاب تمام بحث های درس مدار منطقی را پوشش می دهد و همچنین تکنولوژی $nmos$ و $cmos$ را با مثال های متعددی در این کتاب بیان شده است که دید مناسبی به کسانی که قصد یادگیری درس مدار منطقی را دارند می دهد.

دنیای امروز بدون سیستم های کامپیوتری تقریباً غیر ممکن است و تمام سیستم های کامپیوتری بر اساس مدارات منطقی و صفر و یک منطقی طراحی می شوند این موضوع باعث می شود که دانشجویان رشته های الکترونیک و کامپیوتر و غیره... مدارات منطقی رو به طور ویژه ای فراگیرند.

صفحه	عنوان
۱	
۴	 فهرست مطالب
۱۴	 فصل اول
۱۴	 سیستم های اعداد
۱۵	 ۱-۱- مفهومی مغیر و یک منطقی
۱۶	 ۱-۱- نمایش اعداد در سیستم های مختلف
۱۷	 ۱-۳- اعداد در مبنای ده (DECIMAL)
۱۷	 ۱-۴- اعداد در مبنای دو (BINARY)
۱۸	 ۱-۵- اعداد در مبنای هشت (OCTAL)
۱۸	 ۱-۶- اعداد در مبنای شانزده (HEXADECIMAL)
۱۹	 ۱-۷- تبدیل مبناهای عددی
۲۰	 ۱-۷-۱- تبدیل از مبنای ده به دو
۲۲	 ۱-۷-۲- روش دوم تبدیل از مبنای ده به دو
۲۵	 ۱-۷-۳- روش تبدیل از مبنای دو به هشت
۲۵	 ۱-۷-۴- روش تبدیل از مبنای هشت به دو
۲۶	 ۱-۷-۵- روش تبدیل از مبنای دو به شانزده
۲۷	 ۱-۷-۶- روش تبدیل از مبنای شانزده به دو
۲۸	 ۱-۸- جمع در مبناهای مختلف عددی
۳۱	 ۱-۹- نمایش اعداد منفی
۳۱	 ۱-۹-۱- روش مکمل یا متمم
۳۱	 ۱-۹-۱-۱- متمم (R-1)
۳۲	 ۱-۹-۲- روش مکمل یک

۳۲	۱-۹-۲- تعریف رقم سر ریز نقلی یا OVEAFLOW CARRY
۳۲	۱-۹-۳- تفریق به کمک روش مکمل یک
۳۳	۱-۹-۴- روش مکمل دو
۳۳	۱-۹-۴-۱- تفریق به کمک روش مکمل دو
۳۴	۱-۱۰- روش علامت مقدار
۳۴	۱-۱۰-۱- روش متمم علامت دار
۳۵	۱-۱۰-۲- روش مکمل یک علامت دار
۳۵	۱-۱۰-۳- روش حمل دو علامت دار
۳۵	۱-۱۱- اعداد دارای بزرگترین و کمترین مقادیر مختلف
۳۸	۱-۱۲- کد کردن اطلاعات
۳۸	۱-۱۲-۱- انواع کدهای اطلاعاتی بیکاربی
۳۸	۱-۱۲-۲- تعریف کدهای وزنه دار یا WEIGHTED
۳۹	۱-۱۲-۳- انواع کدهای وزن دار
۳۹	۱-۱۲-۳-۱- کد وزن دار ۴ بیتی از نوع BCD
۴۵	۱-۱۲-۶- کد وزن دار ۸ بیتی
۴۵	۱-۱۲-۷- کد وزن دار ۱۶ بیتی
۴۵	۱-۱۳- تعریف کدهای بی وزن یا UNWEIGHTED
۴۵	۱-۱۳-۱- انواع کدهای بی وزن
۴۶	۱-۱۳-۲- کد بی وزن مازاد ۳
۴۶	۱-۱۳-۳- کدهای بی وزن GRAY
۵۰	۱-۱۴- کدهای عیب یابی و تشخیص خطا
۵۰	۱-۱۵- مدار مولد توازن
۵۱	تمرین
۵۴	فصل دوم

۵۴	گیت های منطقی و ساده سازی جبر بولی
۵۵	۱-۲- دروازه های منطقی پایه
۵۶	۲-۲- تعریف گیت و انواع گیت ها
۵۷	۳-۲- گیت های اولیه
۵۷	۱-۳-۲- گیت AND
۶۲	۱-۳-۲- تعمیم ورودی های گیت AND به N تا
۶۲	۲-۳-۲- گیت OR
۶۴	۱-۲-۳-۲- تعمیم ورودی های گیت OR به N تا
۶۴	۳-۳-۲- گیت NOT
۶۶	۴-۲- تبدیل جمله به مدار و بالعکس با استفاده از گیت های اولیه
۶۷	۵-۲- دروازه های منطقی (گیت ترکیبی)
۶۷	۱-۵-۲- گیت XOR
۷۰	۱-۱-۵-۲- تعمیم ورودی های گیت XOR به N تا
۷۱	۲-۵-۲- دروازه ی XNOR (EXCLUSIVE NOR-XNOR)
۷۳	۳-۵-۲- گیت NAND
۷۶	۴-۵-۲- گیت NOR
۷۸	۶-۲- قوانین و قضایای ساده سازی جبر بولی و کلیدی
۷۹	۱-۶-۲- قوانین پایه جبر بولی
۷۹	۲-۶-۲- قانون توزیع پذیری
۷۹	۳-۶-۲- قانون تکرار
۷۹	۴-۶-۲- قانون عضو بی اثر
۸۰	۵-۶-۲- قانون متمم
۸۱	۶-۶-۲- قانون جذب
۸۱	۷-۶-۲- قانون شبه جذب

۸۱	۷-۲ قانون دوگانگی یا دوآلیتی
۸۱	۷-۲-۱ دوگان یک تابع
۸۲	۸-۲ دیگر قوانین جبر بول
۸۲	۸-۲-۱ قانون دمورگان
۸۳	۲-۲-۲ تعمیم شکل مداری قانون دمورگان
۸۵	۹-۱-۱ نقاشی اولویت عملگرهای منطقی
۸۶	۱۰-۱ قوانین XOR
۸۶	۱۱-۲ قوانین XNOR
۸۷	۱۲-۲ گیت های کامل
۸۸	۱۲-۲-۱ ساختن گیت NOT با NAND
۸۸	۱۲-۲-۲ ساختن گیت AND با NAND
۸۹	۱۲-۲-۳ ساختن OR با NAND
۸۹	۱۳-۲ پیاده سازی جمع ضرب ها شبکه AND - OR
۹۰	۱۴-۲ شبکه OR-AND
۹۱	۱۵-۲ پیاده سازی تمام NAND
۹۲	۱۶-۲ پیاده سازی تمام NOR
۹۲	۱۷-۲ نمادهای گرافیکی IEEE برای گیت های منطقی
۹۴	تمرین
۹۷	فصل سوم
۹۷	مدارهای مجتمع، خانواده های منطقی و مدارهای داخلی آن ها
۹۸	۳-۱ خانواده های منطقی
۱۰۰	۳-۲ خانواده ی TTL
۱۰۰	۳-۳ خانواده CMOS
۱۰۱	۳-۴ مدارهای مجتمع و سطوح مجتمع سازی

۱۰۲	۵-۳- مدارهای الکترونیکی داخلی خانواده های منطقی
۱۰۲	۵-۳-۱- مدارهای RDL (RESISTOR DIODE LOGIC)
۱۰۳	۶-۳- مدارهای RTL (RESISTOR TRANSISTOR LOGIC)
۱۰۴	۷-۳- مدار های DTL (DIODE TRANSISTOR LOGIC)
۱۰۵	۷-۳-۱- دروازه ی منطقی NOR
۱۰۵	۷-۳-۲- دروازه ی منطقی NAND
۱۰۶	۸-۳- مدار های TTL
۱۰۶	۸-۳-۱- خروجی کلکت
۱۰۷	۸-۳-۲- خروجی TOtem Pole
۱۰۸	۸-۳-۳- خروجی سه حالت
۱۰۹	۹-۳- مدارهای ECL
۱۰۹	۱۰-۳- منطق های NMOS و CMOS
۱۰۹	۱۰-۳-۱- منطق NMOS
۱۱۰	۱۰-۳-۲- معکوس کننده با بار مقاومتی یا گیت NOT
۱۱۰	۱۰-۳-۳- انواع گیت با استفاده از منطق NMOS با بار مقاومتی
۱۱۳	۱۰-۳-۴- گیت OR دو ورودی
۱۱۴	۱۱-۳- معکوس کننده CMOS
۱۱۵	۱۱-۳-۱- مدارهای گیت CMOS
۱۲۰	۱۲-۳- دیگر پیاده سازی های دو سطحی
	۱۲-۳-۱- AND سیمی
	۱۲-۳-۲- OR سیمی
۱۲۲	۱۳-۳- فرم مینترم و ماکسترم توابع بولی
۱۲۸	تعرین
۱۲۹	فصل چهارم

۱۲۹	ساده سازی توسط جدول کارنو
۱۳۰	۴-۱- تعریف جدول کارنو
۱۳۰	۴-۲- کارنو
۱۳۲	۴-۳- پر کردن جدول کارنو
۱۳۲	۴-۴- کارنوی ده متغیره
۱۳۴	۲-۵- کارنوی سه متغیره
۱۳۵	۴-۵- تعریف دو خانه مجاور
۱۳۷	۴-۷- جدول کارنوی چهار متغیره
۱۳۸	۴-۸- جدول کارنوی پنج متغیره
۱۴۰	۴-۹- کارنو با بیش از پنج متغیره
۱۴۰	۴-۱۰- ساده کردن جدول کارنو
۱۴۱	۴-۱۱- ساده کردن در حالت مینترم
۱۴۷	۴-۱۲- ساده کردن در حالت ماکسترم
۱۴۹	۴-۱۳- حالات بی اهمیت (DON'T CARE)
۱۵۰	۴-۱۴- حالات بی اهمیت در مینترم
۱۵۱	۴-۱۵- حالات بی اهمیت در ماکسترم
۱۵۳	تمرین
۱۵۷	فصل پنجم
۱۵۷	مدارهای منطقی ترکیبی
	۵-۱- تعریف مدارهای ترکیبی
۱۵۸	۵-۲- انواع مدارهای ترکیبی مهم و پر کاربرد
۱۵۹	۵-۳- آنالیز مدارهای ترکیبی
۱۵۹	۵-۴- طرح مدارهای ترکیبی
۱۶۱	۵-۵- مدار مقایسه گر

۲۰۳	۱۲-۵- مدار جمع و تفریق گر کامل N بیتی
۲۰۵	۱۳-۵- مدار جمع گر BCD
۲۰۷	۱۴-۵- مدار جمع کننده ابیتی
۲۰۷	۱۵-۵- مدار مبدل EXCESS-3 به BCD با یک جمع کننده
۲۰۷	۱-۵- مدار مبدل BCD به EXCESS-3 با یک جمع کننده
۲۰۸	۱۷-۵- دو دوی
۲۰۹	۱-۱- (PROGRAMABLE READ ONLY MEMORY) PROM
۲۰۹	۱۸-۵- پیاده سازی توابع استفاده از PROM
۲۱۰	۱۹-۵- نشان دهنده صفت
۲۱۱	تمرین
۲۱۳	فصل ششم
۲۱۴	۱-۶- تعریف مدارهای ترتیبی
۲۱۵	۲-۶- تعریف عناصر حافظه
۲۱۶	۱-۲-۶- فلیپ فلاپ RS
۲۲۱	۲-۲-۶- فلیپ فلاپ SR ساعتی
۲۲۳	۳-۲-۶- فلیپ فلاپ J-K
۲۲۵	۱-۳-۲-۶- جدول مشخصه فلیپ فلاپ J-K
۲۲۵	۲-۳-۲-۶- معادله مشخصه فلیپ فلاپ J-K
۲۲۶	۴-۲-۶- فلیپ فلاپ D (تاخیر DELAY، داده DATA)
۲۲۶	۱-۴-۲-۶- جدول مشخصه فلیپ فلاپ D
۲۲۷	۵-۲-۶- فلیپ فلاپ T (جهش TOGGLE)
۲۲۷	۱-۵-۲-۶- جدول مشخصه فلیپ فلاپ T
۲۲۷	۲-۵-۲-۶- معادله مشخصه فلیپ فلاپ T
۲۲۸	۳-۶- فلیپ فلاپ های با راه اندازی سطح پالس

۲۲۸	۶-۳-۱- فلیپ فلاپ RS MASTER - SLAVE حساس به سطح مثبت
۲۲۹	۶-۳-۲- فلیپ فلاپ RS MASTER - SLAVE حساس به سطح منفی
۲۳۰	۶-۳-۳- فلیپ فلاپ D-MASTER - SLAVE حساس به سطح مثبت
۲۳۱	۶-۳-۴- فلیپ فلاپ D- MASTER - SLAVE حساس به سطح منفی
۲۳۱	۶-۴- فلیپ فلاپ با راه اندازی لبه ای (EDGE - TRIGGERE)
۲۳۵	۶-۵- تحلیل مدارات ترتیبی
۲۳۵	۶-۵-۱- توصیف کنند مدارات ترتیبی
۲۴۶	۶-۶- تحلیل مدل های مور (MEALY MOORE)
۲۴۸	۶-۷- جمع بندی و ش طراحی مدارات ترتیبی سنکرون
۲۴۹	تمرین
۲۵۳	فصل هفتم
۲۵۳	واحدهای منطقی ترتیبی
۲۵۴	۷-۱- ثبات یا REGISTER
۲۵۴	۷-۲- انواع رجیستر ها
۲۵۴	۷-۲-۱- ثبات (رجیستر) با استفاده از D-FF و RS-FF و JK-FF
۲۵۵	۷-۳- ثبات انتقالی شیفت رجیستر (SHIFT REGISTER)
۲۵۶	۷-۳-۱- ثبات انتقالی ورودی سریال، خروجی سریال (SISO) SERIAL INPUT SERIAL OUPUT
۲۵۷	۷-۳-۲- ثبات انتقالی ورودی سریال، خروجی موازی (SIPO) SERIAL INPUT PARALLEL OUPUT
۲۵۹	۷-۳-۳- ثبات انتقالی ورودی موازی، خروجی سریال (PISO) PARALLEL INPUT SERIAL OUPUT
۲۶۱	۷-۳-۴- ثبات انتقالی ورودی موازی، خروجی موازی، شیفت به دو طرف
۲۶۱	۷-۴- شمارنده ی حلقوی RING COUNTER
۲۶۳	۷-۵- شمارنده حلقوی تاییده یا شمارنده ی جانسون
۲۶۵	۷-۶- شیفت رجیستر چپ گرد
۲۶۶	۷-۷- شیفت رجیستر چپ گرد/راست گرد

۲۶۷	۸-۷- شمارنده ها.....
۲۶۷	۹-۷- تقسیم کننده ی فرکانس.....
۲۶۸	۱۰-۷- شمارنده ها.....
۲۶۹	۱۱-۷- شمارنده دودویی همزمان یا سنکرون.....
۲۶۹	۱-۱- شمارنده دودویی سنکرون صعودی شمار.....
۲۷۰	۱۱-۲- شمارنده دودویی سنکرون نزولی شمار.....
۲۷۲	۱- طراحی شمارنده های سنکرون (همگام).....
۲۷۶	۱۳-۷- شمارنده شمار همگام یا سنکرون.....
۲۷۶	۱۳-۱- شمارنده شمار سنکرون صعودی شمار.....
۲۷۷	۱۳-۲- شمارنده N شمار سنکرون نزولی شمار.....
۲۸۰	۱۴-۷- شمارنده دودویی غیر همگام سنکرون.....
۲۸۰	۱۴-۱- شمارنده دودویی غیر همگام صعودی شمار.....
۲۸۳	۱۴-۲- شمارنده آسنکرون صعودی شمار با فلیپ ف.....
۲۸۴	۱۴-۳- شمارنده دودویی غیر همگام نزولی شمار.....
۲۸۵	۱۵-۷- شمارنده های پیمانه N غیر همگام (آسنکرون).....
۲۸۷	۱۶-۷- مبدل دیجیتال به آنالوگ (D/A).....
۲۸۹	۱۷-۷- مبدل آنالوگ به دیجیتال (A/D).....
۲۹۰	۱۷-۱- مبدل A/D از نوع شمارنده.....
۲۹۱	۱۷-۲- مبدل A/D از نوع مقایسه کننده موازی.....
۲۹۱	تمرین.....
۲۹۶	منابع.....