طراحی و شبیه‌سازی ریزپردازنده با VERILOG & VHDL

نویسنده: تلّی اولاخدمایی

Fadya
انتشارات فدیا

۱۳۹۷

www.ketab.ir

- سرشناسه : اولادغفاری، تلی، ۱۳۶۲-
- عنوان و نام پدیدآور : طراحی و شبیه سازی ریزپردازنده با VHDL & VERILOG/تلی اولادغفاری.
- مشخصات نشر : تبریز: انتشارات فادیا، ۱۳۹۷.
- مشخصات ظاهری : ۲۹۰ ص.
- شابک : 978-622-6354-27-1:
- وضعیت فهرست نویسی : فیپا
- موضوع : وریلاگ (زبان توصیفی سخت‌افزار کامپیوتر)
- موضوع : Verilog (Computer hardware description language)
- موضوع : وی. اچ. دی. ال (زبان توصیفی سخت‌افزار)
- موضوع : VHDL (Computer hardware description language)
- موضوع : ریزپردازنده‌ها -- طرح و ساختمان -- داده‌پردازی
- موضوع : Microprocessors -- Design and construction -- Data processing
- موضوع : ریزپردازنده‌ها -- شبیه‌سازی
- موضوع : Microprocessors -- Simulation methods
- موضوع : الکترونیک رقمی -- الگوهای ریاضی
- موضوع : Digital electronics -- Mathematical models
- رده بندی کنگره : TK۷۸۸۵/۷/الف۸ط۴
- رده بندی دیویی : ۶۲۱/۳۸۲
- شماره کتابشناسی ملی : ۵۵۰۰۹۱۰

www.ketab.ir

Fadya
انتشارات فادیا

طراحی و شبیه‌سازی ریزپردازنده با VHDL & VERILOG

- **نویسنده:** تلّی اولادغفاری
- **طراحی روی جلد:** تلّی اولادغفاری
- **صفحه‌آرا:** تلّی اولادغفاری
- **لیتوگرافی:** افرنگ
- **چاپ:** اعظم تبریزی
- **شمارگان:** ۱۰۰۰ نسخه
- **چاپ:** اول-۱۳۹۷
- **ناشر:** انتشارات فادیا
- **بهاء:** ۲۰۰،۰۰۰ ریال
- **شابک:** ۹۷۸-۶۲۲-۶۳۵۴-۲۷-۱
- **کد کتاب:۵۸**

Microprocessor Design & Simulate with VERILOG & VHDL

- Author: Telli Olaq[illegible]
- Design: Telli O[illegible]ffari
- Litograph: A[illegible]
- Print: Azam Tabrizi
- First Publicated:1397
- Publication: Fadia
- Price: 200,000 RLS

- ISBN: 978-622-6354-27-1

فهرست

پیش گفتار: ۱۹

مقدمه: ۲۱

فصل اول ۲۳

آشنائی با زبان verilog : ۲٤

مزایای استفاده از HDL : ۲٤

مدل‌سازی و مستندسازی ۲۵

شبیه‌سازی، اصلاح و خطایابی قبل از فرایند ساخت ۲۵

خودکارسازی طراحی ۲٦

ساخت نمونه اولیه سریع ۲٦

کوتاه‌تر بودن زمان لازم برای تولید طرح ۲٦

مجتمع‌سازی مدار در مقیاس بسیار بالا با کمترین خطا ۲۷

مدل‌سازی مدارهای دیجیتال ۲۸

سطوح مدل‌سازی ۲۹

مدل‌سازی رفتاری ۲۹

مدل‌سازی در سطح روند داده ۲۹

مدل‌سازی در سطح گیت های منطقی ۳۰

مدل‌سازی در سطح کلید ۳۰

www.ketab.ir

مدل‌سازی در زبان Verilog HDL ۳۱
مدل‌سازی گیت Not در سطح روند داده ۳۱
مدل‌سازی گیت Not در سطح گیت ۳۲
مدل‌سازی گیت Not در سطح رفتاری ۳۲
مدل‌سازی گیت Not در سطح کلید ۳۳
مدل‌سازی گیت Nand در سطح روند داده ۳۵
مدل‌سازی گیت Nand در سطح گیت ۳۵
مدل‌سازی گیت Nand در سطح رفتاری ۳۶
مدل‌سازی گیت Nand در سطح کلید ۳۶
مدل‌سازی قفل D در سطح رفتاری ۳۸
مدل‌سازی فیلیپ فلاپ D در سطح رفتاری ۳۹
فصل دوم ۴۱
ویژگیهای Verilog ۴۲
انواع داده ۴۳
مجموعه مقادیر ۴۳
ثباتها ۴۳
Netها ۴۳
حافظه‌ها ۴۳
نوع داده صحیح و زمان‌ها ۴۳
انوع داده: ثباتها ۴۴

www.ketab.ir

انواع داده: Netها ٤٤
انواع داده: حافظهها ٤٤
انواع داده: پارامترها ٤٥
عبارات ٤٥
نمایش اعداد ٤٦
اعداد هدهی ساده(بعنوان مثال: ٤٥، ٥٠٧، ٢٣٤ و غیره) ٤٦
عملگرهای حسابی ٤٦
عملگرهای ابطها ٤٧
عملگرهای تساوی ٤٧
عملگرهای منطقی ٤٨
عملگرهای بیتی ٤٨
C^x = 1^x x^x = x, 0^~x = 1^~x = x^~x = x ٤٩
عملگرهای کاهشی ٤٩
عملگرهای انتقال ٥٠
عملگر الحاق ٥٠
عملگر شرطی ٥٠
قوانین اولویت عملگرها ٥١
نکاتی در مورد عملوندها ٥١
تخصیصها ٥٢
تخصیص پیوسته ٥٢

www.ketab.ir

تخصیص رویهای ۵۲
مدلسازی رفتاری ۵۳
مقدمهای برمدلسازی رفتاری ۵۳
تخصیص رویهای بلوکی ۵٤
تخصیص رویهای غیربلوکی ۵٤
دستور شرطی ۵۵
دستور case ۵٦
دستورات تکرار ۵۷
دستور forever ۵۸
دستور repeat ۵۸
دستور while ۵۸
دستور for ۵۹
کنترل زمانی رویهای ۵۹
کنترل delay ٦۰
کنترل event ٦۰
دستور wait ٦۱
Intra-Assignment Timing Controls ٦۱
دستورات بلوکی ٦۲
مثال برای بلوک موازی ٦۳
پروسیجرهای ساختیافته ٦٤

www.ketab.ir

دستور initial ٦٤
دستور always ٦٥
وظیفه ٦٥
تابع ٦٦
ساختارهای سلسله مراتبی ٦٧
نحوه تعریف ماژول ٦٧
پورت های ماژول ٦٨
توابع داخلی Verilog ٦٩
ویژگیهای قالب ٧٠
فایل ٧١
دستور $finish ٧١
دستورات زبان Verilog ٧٢
کلمه کلیدی If else ٧٢
عملگر :؟ ٧٣
کلمه کلیدی case ٧٤
عملگر{} ٧٦
گیتهای and و not ٧٦
UDP ٧٨
Parameter ٧٩
فصل سوم ٩١

www.ketab.ir

ماشین‌های چند منظوره ۹۱
ماشین چهار منظوره سه‌بیتی ۹۲
ماشین چهار منظوره هشت بیتی ۹۵
ماشین هشت منظوره ۸ بیتی ۹۷
انواع ثبات‌های موجود در سیستم‌های دیجیتالی ۹۹
ثبات دو بیتی آسنکرون ۹۹
ثبات دو بیتی آسنکرون با خروجی دو طرفه ۱۰۰
ثبات دو بیتی سنکرون با خروجی دو طرفه ۱۰۲
ثبات دو بیتی سنکرون با خروجی دو طرفه ۱۰۳
ثبات دو بیتی سنکرون با خروجی دو طرفه و خروجی دائم ۱۰۴
فصل چهارم ۱۱۱
ماشین برنامه پذیر ۱۱۲
اجزاء ماشین برنامه پذیر ۱۱۳
انواع پورت ۱۱۵
پورت خروجی ۱۱۵
پورت دوطرفه ۱۱۷
ارتباط حافظه و پورتهای ورودی و خروجی ۱۱۷
واحد حافظه ۱۱۸
مدلسازی اجزای حافظه در Verilog ۱۱۹
کد گشای2× 4 ..... ۱۱۹

www.ketab.ir

سلول حافظه ۱۱۹
فصل پنج ۱۲۱
ویژگی‌های ریزپردازنده ۱۲۲
مجموعه دستورات ۱۲۲
فرمت دستورات ۱۲۲
دستورات ذخیره و بازیابی ۱۲۳
دستورLDA ۱۲۳
دستورSTA ۱۲٤
دستورات ورودی و خروجی ۱۲٤
دستورIN ۱۲٤
دستورOUT ۱۲۵
دستورات محاسباتی و منطقی ۱۲٦
دستورات محاسباتی ۱۲٦
دستورات جمع و تفریق ۱۲٦
دستورSUB ۱۲۷
دستورکاهش ۱۲۸
دستورات منطقی ۱۲۹
دستورات پرش ۱۳۳
دستورات پرش شرطی ۱۳٤
مجموعه دستورات پردازنده ۱۳۷

www.ketab.ir

مشخصات گذرگاه‌های ریزپردازنده ۱۳۸
گذرگاه‌های ریزپردازنده: ۱۳۸
ارتباط ریزپردازنده با دنیای خارج ۱٤۱
ساختارداخلی ریزپردازنده ۱٤۲
نحوه اجرای دستورالعمل‌ها ۱٥٤
چرخه واکشی ۱٥٤
چرخه اجرا ۱٥٦
دستورات پرش ۱٥۹
دستورات محاسباتی ۱٦۱
دستورات منطقی: ۱٦۲
دستورRST: ۱٦۳
دستور شیفت : ۱٦۳
دستور توقف: ۱٦٤
مدل‌سازی واحد کنترل ۱٦٤
مدل‌سازی اجزای واحد کنترل در verilog ۱٦٦
شمارنده حلقوی ۱٦٦
کد گشای دستور: ۱٦۷
ماتریس کنترل: ۱٦۸
ساختار سیستم کامپیوتری ۱۷۳
حافظه ۱۷٥

www.ketab.ir

دستگاه های جانبی ۱۷۶
اجرای یک برنامه نمونه ۱۷۸
مدل‌سازی سیستم کامپیوتری به زبان verilog ۱۷۹
اجرای برنامه توسط نرم افزار Verilogger ۱۹۲
شبیه‌سازی یک ماژول ۱۹۳
اجرای یک برنامه نمونه ۱۹۵
فصل ششم ۱۹۹
طراحی چند پردازنده با گذرگاه مشترک (SAP4) ۲۰۰
ساخت سیستم چندپردازنده با استفاده از ریزپردازنده ۲۱۵
فصل هفت ۲۱۷
معماری پایپ‌لاین ۲۱۸
نحوه اجرای دستورات در پردازنده پایپلاین ۲۱۹
واکشی دستور ۲۱۹
رمز گشایی دستور ۲۲۱
بخش اجرا ۲۲۳
نوشتن نتیجه ۲۲٤
ثبات پایپ لاین واکشی دستور ۲۳۱
واحد رمز گشایی دستور ۲۳۳
ثبات پایپ لاین رمزگشایی دستور ۲۳۸
بخش اجرا ۲٤۰

www.ketab.ir

واحد محاسبات ریاضی و منطقی ۲٤۰
ثبات A ۲٤۲
ثبات پایپ لاین اجرا ۲٤٤
دستیابی به حافظه ۲٤٦
حافظه داده ۲٤٦
ثبات پایپ لاین حافظه ۲٤۹
مرحله نوشتن نتیجه ۲٥۱
مالتی پلکسر ۲٥۲
چگونگی ارتباط بخش با یکدیگر ۲٥۳
بخش رمز گشایی ۲٥۷
بخش اجرای دستور ۲٦۱
بخش دستیابی به حافظه ۲٦٦
بخش نوشتن نتیجه ۲٦۸
اجرای یک برنامه نمونه ۲۷۸
اجرای برنامه در نرم افزار modelsim ۲۸۰

www.ketab.ir

پیش گفتار:

زبان‌های توصیف سخت‌افزار جهت استفاده از توانمندی‌های کامپیوترها در طراحی مدارهای دیجیتال بوجود آمدند. یعنی زبان‌های توصیف سخت‌افزار جهت استفاده از کامپیوتر در زمینه طراحی ، شبیه‌سازی ، مدل‌سازی ، مستندسازی ، تست و پیاده‌سازی مدارها و سیستم‌های دیجیتال بوجود آمده‌اند. طراحی دیجیتال در اوایل پیدایش مدارهای دیجیتال به صورت دستی انجام می‌شد اما با توجه به سرعت عملکرد کامپیوترهای دیجیتال که امروز هستند حجم وسیع برنامه‌ها و داده‌ها را در زمان بسیار اندک پردازش نمایند. این کامپیوترها در عرصه طراحی وارد شده و در تمامی علوم و فنون به این منظور مورد استفاده قرار می‌گیرند که تحت عنوان طراحی به کمک کامپیوتر[1](CAD) یاد می شود. CAD در زمینه طراحی سیستم‌های دیجیتال نیز به کار می‌رود. به عبارتی کامپیوترهای دیجیتال به وسیله طراحی دیجیتال بوجود آمده‌اند و امروزه طراحی دیجیتال بوسیله خود این کامپیوترها انجام می‌گیرد. زبان‌ها و محیط‌هایی توسط کامپیوتر فراهم است که می‌توان از آنها به منظور طراحی مدارها و سیستم‌های دیجیتال استفاده نمود. این زبان‌ها را زبان‌های توصیف سخت‌افزار[2](HDL) نامند. زبانهای توصیف سخت‌افزار متعددی وجود دارند که از بین آنها VerilogHDL توسط انجمن مهندسین برق و الکترونیک[3](IEEE) استاندارد شده‌است. VerilogHDL بدلیل سادگی و مشابهت آن به زبانC مورد توجه بیشتری می‌باشد و به همین دلیل در این

[1] Computer Aided Design
[2] Hard ware Description language
[3] Institute of Electrical and Electronic engineers

www.ketab.ir

کتاب تصمیم داریم با استفاده از این زبان طراحی مدارهای پایه کامپیوترهای دیجیتال را ارایه کنیم.

www.ketab.ir