طراحی مدارهای مجتمع CMOS

ویرایش چهارم

نویسندگان

نیل وست و دیوید هریس

ترجمه

دکتر ناصر [illegible]زاده

(عضو هیئت علمی دانشگاه [illegible])

۱۳۹۳

www.ketab.ir

انتشارات دانشگاه شاهد (۱۳۳)

سرشناسه	:	وست، نیل اچ.ای. .Weste, Neil H. E
عنوان و نام پدیدآور	:	طراحی مدارهای مجتمع CMOS/ نویسندگان: نیل وست، دیوید هریس؛ ترجمه ناصر محمدزاده
مشخصات نشر	:	تهران: دانشگاه شاهد، مرکز چاپ و انتشارات، ۱۳۹۳.
مشخصات ظاهری	:	۵۴۷ ص. مصور، جدول، نمودار.
شابک	:	۹۷۸ -۶۰۰ -۶۱۲۱ -۲۷ -۷
وضعیت فهرست‌نویسی	:	فیپا.
یادداشت	:	عنوان اصلی: CMOS VLSI design: a circuits and systems perspective, 4th ed, 2011
یادداشت	:	واژه‌نامه.
یادداشت	:	نمایه.
موضوع	:	مدارهای مجتمع – مجتمع‌سازی در مقیاس بسیار بزرگ – طرح و ساختمان
موضوع	:	نیمه‌هادی‌های اکسید فلزی مکمل
شناسه افزوده		هریس، دیوید مانی
شناسه افزوده	:	Harris, David Money
شناسه افزوده	:	محمدزاده، ناصر، ۱۳۶۰- ، مترجم
رده‌بندی کنگره		TK۷۸۷۴ /ط۴ ۱۳۹۳.
رده‌بندی دیویی	:	۶۲۱/۳۸۵
شماره کتابشناسی ملی	:	۳۴۵۷۰۲۲

طراحی مدارهای مجتمع CMOS

ترجمه : ناصر محمدزاده

تعداد : ۱۰۰۰ نسخه

نوبت چاپ : اول ۱۳۹۳

قیمت : ۱۹۲۰۰۰ ریال

نشانی ناشر : تهران، ابتدای آزادراه خلیج فارس، روبه‌روی حرم مطهر امام خمینی (ره)، معاونت پژوهش و فناوری، مرکز چاپ و انتشارات دانشگاه شاهد

تلفن: ۵۱۲۱۴۱۲۲ **دورنگار:** ۵۱۲۱۳۵۴۹

www.ketab.ir

فهرست مطالب

فصل ۱ مقدمه

۱-۱ تاریخچه ۱
۱-۲ چشم‌انداز آینده ۸
۱-۳ ترانزیستورهای MOS ۸
۱-۴ منطق CMOS ۱۳
۱-۴-۱ وارونگر ۱۳
۱-۴-۲ گیت NAND ۱۴
۱-۴-۳ گیت‌های منطقی CMOS ۱۵
۱-۴-۴ گیت NOR ۱۷
۱-۴-۵ گیت‌های مرکب ۱۹
۱-۴-۶ ترانزیستورهای عبور و گیت عبور ۲۱
۱-۴-۷ بافر سه‌حالته ۲۴
۱-۴-۸ مالتی‌پلکسرها ۲۶
۱-۴-۹ مدارهای ترتیبی ۲۹
۱-۵ چینش و فرایند ساخت CMOS ۳۲
۱-۵-۱ مقطع عرضی وارونگر ۳۲
۱-۵-۲ فرایند ساخت ۳۴
۱-۵-۳ قوانین طراحی چینش ۴۰
۱-۵-۴ چینش گیت‌ها ۴۴
۱-۵-۵ نمودار میله‌ای ۴۶
۱-۶ افراز طراحی ۴۹
۱-۶-۱ انتزاع طراحی ۵۰
۱-۶-۲ طراحی ساخت‌یافته ۵۱
۱-۶-۳ حوزه‌های فیزیکی، ساختاری و رفتاری ۵۲
۱-۷ وارسی طراحی ۵۴
۱-۸ ساخت، پکیج‌کردن و تست ۵۶

www.ketab.ir

۱-۹ خلاصه و جمع‌بندی ۵۹
تمرین‌ها ۶۱

فصل ۲ تئوری ترانزیستورهای MOS

۲-۱ مقدمه ۶۵
۲-۲ مشخصه‌های I-V ترانزیستورهای کانال بلند ۷۰
۲-۳ مشخصه‌های C-V ۷۵
۲-۳-۱ مدل‌های خازن MOS ساده ۷۶
۲-۳-۲ مدل مشروح خازن گیت MOS ۷۸
۲-۳-۳ مدل مشروح خازن نفوذ MOS ۸۱
۲-۴ اثرات غیرایده‌آل بر مدار I-V ۸۵
۲-۴-۱ تنزل قابلیت تحرک و اشباع سرعت ۸۸
۲-۴-۲ مدولاسیون طول کانال ۹۳
۲-۴-۳ اثرات ولتاژ آستانه ۹۴
۲-۴-۴ جریان نشتی ۹۶
۲-۴-۵ وابستگی به دما ۱۰۳
۲-۴-۶ وابستگی به شکل هندسی ترانزیستور ۱۰۵
۲-۴-۷ جمع‌بندی ۱۰۶
۲-۵ مشخصه‌های انتقالی DC ۱۰۷
۲-۵-۱ مشخصه‌های DC وارونگر CMOS ایستا ۱۰۸
۲-۵-۲ تأثیرات نسبت بتاها ۱۱۱
۲-۵-۳ حاشیه نویز ۱۱۳
۲-۵-۴ مشخصه‌های DC ترانزیستور عبور ۱۱۶
۲-۶ خلاصه و جمع‌بندی ۱۱۸
تمرین‌ها ۱۲۰

فصل ۳ تکنولوژی ساخت CMOS

۳-۱ مقدمه ۱۲۵
۳-۲ فن‌آوری‌های CMOS ۱۲۷
۳-۲-۱ تشکیل ویفر ۱۲۷

www.ketab.ir

۳-۲-۲ فوتولیتوگرافی ۱۲۸
۳-۲-۳ تشکیل کانال و چاه ۱۳۳
۳-۲-۴ دی‌اکسید سیلیکون (SiO_2) ۱۳۸
۳-۲-۵ جداسازی اجزا ۱۳۹
۳-۲-۶ اکسید گیت ۱۴۲
۳-۲-۷ ایجاد گیت و سورس/درین ۱۴۳
۳-۲-۸ ایجاد اتصالات و لایه‌های فلز ۱۴۶
۳-۲-۹ مقاوم‌سازی ۱۵۰
۳-۲-۱۰ مترولوژی ۱۵۰
۳-۳ قوانین طراحی جرسی ۱۵۱
۳-۳-۱ پیش‌زمینه قوانین طراحی ۱۵۲
۳-۳-۲ خط پیرامونی بُر و دیگر ساختارها ۱۵۸
۳-۳-۳ قوانین طراحی مقیاس‌پذیر MOSIS CMOS ۱۵۹
۳-۳-۴ قوانین طراحی میکرون ۱۶۰
۳-۴ پیشرفت‌های فرایند CMOS ۱۶۳
۳-۴-۱ ترانزیستورها ۱۶۳
۳-۴-۲ ارتباطات ۱۶۹
۳-۴-۳ عناصر مدار ۱۷۳
۳-۴-۴ ساختارهای بعد از CMOS سنتی ۱۸۳
۳-۵ ابزار طراحی وابسته به تکنولوژی ۱۸۵
۳-۵-۱ وارسی‌کننده قانون طراحی (DRC) ۱۸۶
۳-۵-۲ استخراج مدار ۱۸۸
۳-۶ مباحثی در ساخت ۱۸۹
۳-۶-۱ قوانین آنتن ۱۸۹
۳-۶-۲ قوانین چگالی لایه ۱۹۱
۳-۶-۳ قوانین بهبود تفکیک‌پذیری ۱۹۲
۳-۶-۴ قوانین مربوط به شیارهای فلزی ۱۹۲
۳-۶-۵ راهبردهای بهبود بارآوری ۱۹۳

www.ketab.ir

۳-۷ چشم‌انداز تاریخی ۱۹۴
۳-۸ خلاصه و جمع‌بندی ۱۹۵
تمرین‌ها ۱۹۶

فصل ۴ تأخیر

۴-۱ مقدمه ۱۹۹
۴-۱-۱ تعاریف ۲۰۰
۴-۱-۲ بهینه‌سازی زمانی ۲۰۳
۴-۲ پاسخ گذرا ۲۰۵
۴-۳ مدل تأخیر RC ۲۱۰
۴-۳-۱ مقاومت مؤثر ۲۱۰
۴-۳-۲ خازن گیت و منفوذ ۲۱۱
۴-۳-۳ مدارهای RC معادل ۲۱۲
۴-۳-۴ پاسخ گذرا ۲۱۵
۴-۳-۵ تأخیر المور ۲۱۷
۴-۳-۶ وابستگی خازن به چیپس ۲۲۲
۴-۳-۷ تعیین مقاومت مؤثر ۲۲۴
۴-۴ مدل خطی تأخیر ۲۲۶
۴-۴-۱ تلاش منطقی ۲۲۷
۴-۴-۲ تأخیر پارازیتی ۲۲۹
۴-۴-۳ تأخیر در یک گیت منطقی ۲۳۲
۴-۴-۴ درایو ۲۳۴
۴-۴-۵ استخراج تلاش منطقی از ورقه داده‌ها ۲۳۴
۴-۴-۶ محدودیت‌های مدل تأخیر خطی ۲۳۶
۴-۵ تلاش منطقی مسیرها ۲۴۲
۴-۵-۱ تأخیر شبکه‌های منطقی چندطبقه ۲۴۲
۴-۵-۲ تعیین تعداد طبقات بهینه ۲۴۷
۴-۵-۳ مثال ۲۵۰
۴-۵-۴ خلاصه و جمع‌بندی تلاش منطقی ۲۵۳

www.ketab.ir

۴-۵-۵ محدودیت‌های تلاش منطقی ۲۵۶
۴-۵-۶ تکرار چندباره برای تعیین اندازه ترانزیستورها ۲۵۶
۴-۶ مدل‌های تأخیر برای تحلیل تأخیر ۲۵۹
۴-۶-۱ مدل خطی مبتنی بر شیب ۲۵۹
۴-۶-۲ مدل غیرخطی تأخیر ۲۶۰
۴-۶-۳ مدل منبع جریان ۲۶۰
۴-۷ چشم‌انداز تاریخی ۲۶۱
۴-۸ خلاصه و جمع‌بندی ۲۶۲
تمرین‌ها ۲۶۳

فصل ۵ توان

۵-۱ مقدمه ۲۶۹
۵-۱-۱ تعاریف ۲۷۰
۵-۱-۲ مثال‌ها ۲۷۱
۵-۱-۳ عوامل مصرف توان ۲۷۴
۵-۲ توان پویا ۲۷۶
۵-۲-۱ ضریب فعالیت ۲۷۸
۵-۲-۲ خازن ۲۸۲
۵-۲-۳ ولتاژ ۲۸۶
۵-۲-۴ فرکانس ۲۹۲
۵-۲-۵ جریان اتصال کوتاه ۲۹۳
۵-۲-۶ مدارهای تشدیدشده ۲۹۴
۵-۳ توان ایستا ۲۹۵
۵-۳-۱ عوامل مصرف توان ایستا ۲۹۵
۵-۳-۲ گیت‌کردن توان ۳۰۳
۵-۳-۳ ضخامت اکسید چندگانه و ولتاژهای آستانه چندگانه ۳۰۷
۵-۳-۴ ولتاژهای آستانه متغیر ۳۰۸
۵-۳-۵ کنترل بردار ورودی ۳۰۹
۵-۴ بهینه‌سازی تأخیر-انرژی ۳۱۰

www.ketab.ir

۵-۴-۱ انرژی کمینه ۳۱۰
۵-۴-۲ حاصل‌ضرب تأخیر در انرژی کمینه ۳۱۴
۵-۴-۳ انرژی کمینه تحت محدودیت تأخیر ۳۱۵
۵-۵ معماری‌های توان پایین ۳۱۶
۵-۵-۱ ریزمعماری‌ها ۳۱۶
۵-۵-۲ توازی و ساختارهای خط لوله‌ای ۳۱۷
۵-۵-۳ حالت‌های مدیریت توان ۳۱۸
۵-۶ خلاصه و جمع‌بندی ۳۱۹
تمرین‌ها ۳۲۱

فصل ۶ ارتباطات

۶-۱ مقدمه ۳۲۳
۶-۱-۱ شکل سیم ۳۲۴
۶-۱-۲ مثال: پشته‌های فلزی اینتل ۳۲۵
۶-۲ مدل‌کردن ارتباطات ۳۲۷
۶-۲-۱ مقاومت ۳۲۸
۶-۲-۲ خازن ۳۳۱
۶-۲-۳ القائیدگی ۳۳۴
۶-۲-۴ اثر پوستی ۳۳۷
۶-۲-۵ وابستگی دمایی ۳۳۸
۶-۳ اثر ارتباطات ۳۳۸
۶-۳-۱ تأخیر ۳۳۸
۶-۳-۲ انرژی ۳۴۱
۶-۳-۳ هم‌شنوایی ۳۴۲
۶-۳-۴ اثرات القائیدگی ۳۴۷
۶-۳-۵ مباحثی در کنار مقاومت موثر و تأخیر المور ۳۵۲
۶-۴ طراحی ارتباطات ۳۵۴
۶-۴-۱ عرض سیم‌ها و فاصله بین سیم‌ها و انتخاب لایه‌های فلزی ۳۵۵
۶-۴-۲ تکرارکننده‌ها ۳۵۶

www.ketab.ir

۶-۴-۳ کنترل هم‌شنوایی ۳۶۰
۶-۴-۴ سیگنال‌دهی با تغییر اندک در دامنه ۳۶۳
۶-۴-۵ بازتولیدکننده‌ها ۳۶۶
۶-۵ مباحثی درباره تلاش منطقی سیم‌ها ۳۶۷
۶-۶ خلاصه و جمع‌بندی ۳۶۹
تمرین‌ها ۳۷۱

فصل ۷ استحکام طرح

۷-۱ مقدمه ۳۷۳
۷-۲ اختلاف‌پذیری ۳۷۴
۷-۲-۱ ولتاژ منبع تغذیه ۳۷۶
۷-۲-۲ دما ۳۷۶
۷-۲-۳ اختلاف فرایند ۳۷۸
۷-۲-۴ گوشه‌های طراحی ۳۸۰
۷-۳ اتکاپذیری ۳۸۴
۷-۳-۱ مجموعه واژگان اتکاپذیری ۳۸۴
۷-۳-۲ استهلاک اکسید ۳۸۷
۷-۳-۳ استهلاک ارتباطات ۳۸۹
۷-۳-۴ خطاهای نرم ۳۹۳
۷-۳-۵ خرابی حاصل از ولتاژ افزونه ۳۹۶
۷-۳-۶ قفل‌شدگی ۳۹۷
۷-۴ تغییر مقیاس ۴۰۰
۷-۴-۱ تغییر مقیاس ترانزیستورها ۴۰۱
۷-۴-۲ تغییر مقیاس ارتباطات ۴۰۴
۷-۴-۳ نقشه راه بین‌المللی تکنولوژی برای نیمه‌هادی‌ها (ITRS) ۴۰۷
۷-۴-۴ اثرات تغییر مقیاس بر روی طراحی ۴۰۸
۷-۵ تحلیل آماری اختلاف‌پذیری ۴۱۵
۷-۵-۱ ویژگی‌های متغیرهای تصادفی ۴۱۶
۷-۵-۲ علل اختلاف‌پذیری ۴۲۲

www.ketab.ir

۷-۵-۳ اثرات اختلاف‌ها ۴۲۹
۷-۶ طراحی مقاوم در برابر اختلاف ۴۳۶
۷-۶-۱ کنترل وفقی ۴۳۶
۷-۶-۲ تحمل‌پذیری خطا ۴۳۷
۷-۷ خلاصه و جمع‌بندی ۴۴۰
تمرین‌ها ۴۴۲

فصل ۸ طراحی مدارهای ترکیبی

۸-۱ مقدمه ۴۴۵
۸-۲ خانواده‌های مداری ۴۴۸
۸-۲-۱ CMOS ایستا ۴۴۹
۸-۲-۲ مدارهای نسبتی ۴۵۹
۸-۲-۳ منطق جریان وارونه‌ساز (CVSL) ۴۶۷
۸-۲-۴ مدارهای پویا ۴۶۹
۸-۲-۵ منطق ترانزیستور عبور ۴۹۰
۸-۳ نکات مهم در طراحی مداری ۵۰۰
۸-۳-۱ افت به اندازه ولتاژ آستانه ۵۰۱
۸-۳-۲ رعایت‌نشدن نسبت اندازه‌ها ۵۰۲
۸-۳-۳ جریان نشتی ۵۰۳
۸-۳-۴ اشتراک بار ۵۰۴
۸-۳-۵ نویز منبع تغذیه ۵۰۴
۸-۳-۶ نقاط داغ ۵۰۵
۸-۳-۷ تزریق حامل اقلیت ۵۰۶
۸-۳-۸ تزویج با پشت گیت ۵۰۷
۸-۳-۹ حساسیت به نویز ورودی نفوذ ۵۰۸
۸-۳-۱۰ حساسیت فرایند ۵۰۹
۸-۳-۱۱ مثال: بودجه نویز برای منطق دومینو ۵۰۹
۸-۴ طراحی مدار سیلیکون روی عایق ۵۱۲
۸-۴-۱ ولتاژ بدنه شناور ۵۱۴

www.ketab.ir

۸-۴-۲	مزیت‌های SOI	۵۱۵
۸-۴-۳	معایب SOI	۵۱۶
۸-۴-۴	تأثیر SOI روی سبک‌های مداری مختلف	۵۱۸
۸-۴-۵	جمع‌بندی	۵۲۰
۸-۵	طراحی مدارهای زیرآستانه	۵۲۱
۸-۵-۱	اندازه‌دهی	۵۲۲
۸-۵-۲	انتخاب گیت	۵۲۲
۸-۶	چشم‌انداز تاریخی	۵۲۴
۸-۷	خلاصه و جمع‌بندی	۵۲۶
	تمرین‌ها	۵۲۹
	واژه‌نامه انگلیسی به فارسی	۵۳۷
	نمایه	۵۴۵

www.ketab.ir