۹۶ ۵/۲۷

به نام خداوند
جان و خرد

طراحی کامپیوتری سیستم‌های دیجیتال

www.ketab.ir

مؤلف

دکتر مرتضی صاحب‌الزمانی

سرشناسه	:	صاحب‌الزمانی، مرتضی، ۱۳۴۴ -
عنوان و نام پدیدآور	:	طراحی کامپیوتری سیستم‌های دیجیتال/ مولف مرتضی صاحب‌الزمانی.
مشخصات نشر	:	اصفهان : شیخ بهایی، ۱۳۹۷.
مشخصات ظاهری	:	[۷۲۴] ص.: مصور، جدول، نمودار.
شابک	:	۹۷۸۶۰۰۵۴۷۳۱۴۸
وضعیت فهرست نویسی	:	فیپا
یادداشت	:	کتابنامه: ص. [۷۲۱ - ۷۲۴].
موضوع	:	الکترونیک رقمی - طرح و ساخت
موضوع	:	Digital electronics - Design and construction
موضوع	:	وی. اچ. دی. ال (زبان توصیفی سخت‌افزار)
موضوع	:	VHDL (Computer hardware description language)
رده بندی کنگره	:	TK۷۸۶۸ /ر۷ص۲ ۱۳۹۷
رده بندی دیویی	:	۶۲۱/۳۸۱۵
شماره کتابشناسی ملی	:	۵۳۳۶۵۳۰

طراحی کامپیوتری سیستم‌های دیجیتال (به همراه CD رایگان)

نویسنده: دکتر مرتضی صاحب‌الزمانی

ویراستار: دکتر [illegible] فرداد

صفحه‌آرایی: میثم گرافیک

نوبت چاپ: اول، ۱۳۹۸

شمارگان: ۵۰۰ عدد

شابک: ۹۷۸۶۰۰۵۴۷۳۱۴۸

قیمت: ۱۳۰۰۰۰۰ ریال

تمام حقوق برای ناشر و نویسنده محفوظ است

انتشارت شیخ بهایی

sheykhbahayi@gmail.com

۰۹۱۳۳۱۴۳۵۰۷

www.ketab.ir

فهرست

مقدمه ۱۹

فصل ۱: تراشه‌های منطقی برنامه‌پذیر ۲۳

۱- انواع تراشه‌های دیجیتال ۲۶

۱-۱ - تراشه‌های تمام سفارشی ۲۶

۱-۲- تراشه‌های نیمه سفارشی ۲۹

۱-۳ - تراشه‌های برنامه‌پذیر ۳۵

۱-۳-۱- مبانی مدارهای برنامه‌پذیر ۳۶

۱-۳-۲-آرایهٔ منطقی برنامه‌پذیر (PLA) ۳۶

۱-۳-۳- آرایهٔ برنامه‌پذیر منطقی (PAL) ۳۹

۱-۳-۴- آرایهٔ گیت برنامه‌پذیر در میدان (FPGA) ۴۵

۱-۳-۵- ادوات منطقی برنامه‌پذیر پیچیده (CPLD) ۴۶

۱-۴-صنعت تراشه‌های FPLD ۴۸

۱-۵- انتخاب بین ASIC و FPLD ۴۹

۱-۵-۱- مدت زمان طراحی و توسعه ۵۰

۱-۵-۲- مساحت و چگالی مدار ۵۰

۱-۵-۳- سرعت کار مدار ۵۱

۱-۵-۴- توان مصرفی ۵۲

۱-۵-۵- ساخت نمونه اولیه ۵۲

www.ketab.ir

۱-۵-۶- هزینه آزمون ۵۳
۱-۵-۷- هزینه مهندسی غیرتکراری (NRE) ۵۳
۱-۵-۸- انعطاف‌پذیری ۵۴
۱-۶- چرخه طراحی ۵۴
جمع‌بندی ۶۴
تمرین ۱۶۵

فصل ۲: معماری تراشه‌های FPGA و CPLD ۷۱
۲-۱- بلوک‌های منطقی ۷۲
۲-۱-۱- بلوک‌های منطقی مبتنی بر SOP ۷۲
۲-۱-۲- بلوک‌های منطقی مبتنی بر جدول جست‌وجو (LUT) ۷۵
۲-۱-۳- بلوک‌های منطقی مبتنی بر مالتی‌پلکسر ۷۹
۲-۲- معماری اتصالات ۸۲
۲-۲-۱- معماری اتصالات سلسله‌مراتبی ۸۲
۲-۲-۲- معماری اتصالات [illegible] مراتبی ۸۵
۲-۳- بلوک‌های ورودی/خروجی (IOB) ۸۷
۲-۳-۱- بلوک‌های فرستنده/گیرنده [illegible] ۸۸
۲-۳-۲- کدگذار ۸ بیت/۱۰ بیت ۹۳
۲-۳-۳- میان‌گیرهای FIFO ۹۶
۲-۳-۴- متوالی‌ساز و موازی‌ساز ۹۶
۲-۳-۵- پیش‌ازدیاد ۹۸
۲-۴- فناوری برنامه‌ریزی تراشه‌های FPLD ۱۰۱
۲-۴-۱- تراشه‌های مبتنی بر SRAM ۱۰۱
۲-۴-۲- تراشه‌های مبتنی بر E^2PROM و فلش ۱۰۵
۲-۴-۳- تراشه‌های مبتنی بر آنتی‌فیوز ۱۰۸

www.ketab.ir

۲-۴-۴-برنامه‌ریزی تراشه‌های برنامه‌پذیر ۱۱۱
۲-۵- بلوک‌های خاص‌منظوره یا هسته‌های سخت ۱۱۶
۲-۵-۱-بلوک‌های محاسباتی ۱۱۷
۲-۵-۲- بلوک‌های حافظه ۱۲۰
۲-۵-۳- هسته‌های پردازنده ۱۲۲
۲-۵-۴-بلوک مدیریت ساعت ۱۲۴
جمع‌بندی ۱۲۷
تمرین ۱۲۸

فصل ۳: تراشه‌های منطقی برنامه‌پذیر صنعتی ۱۳۵
۳-۱- خانواده سایکلون (شرکت اینتل) ۱۳۶
۳-۱-۱- بلوک‌های منطقی و معماری اتصالات ۱۳۷
۳-۱-۲- حافظه ۱۴۱
۳-۱-۳- بلوک‌های محاسباتی ۱۴۲
۳-۱-۴- پردازنده داخلی ۱۴۴
۳-۱-۵- بلوک‌های ورودی/خروجی ۱۴۵
۳-۱-۶- بلوک فرستنده/گیرنده گیگابیتی ۱۴۷
۳-۱-۷- مدیریت ساعت ۱۴۷
۳-۱-۸- پردازنده ۱۴۷
۳-۲- خانواده استراتیکس (شرکت اینتل) ۱۴۷
۳-۳- خانواده اسپارتان (شرکت زایلینکس) ۱۴۸
۳-۳-۱-بلوک‌های منطقی و معماری اتصالات ۱۴۸
۳-۳-۲-حافظه ۱۵۴
۳-۳-۳- بلوک‌های محاسباتی ۱۵۴
۳-۳-۴- بلوک‌های ورودی/خروجی ۱۵۶

www.ketab.ir

۳-۳-۵-مدیریت ساعت ۱۵۷
۳-۳-۶- بلوک فرستنده/گیرنده گیگابیتی ۱۵۷
۳-۴-خانواده ورتکس (شرکت زایلینکس) ۱۵۸
۳-۵- خانواده کول رانر-۲ (شرکت زایلینکس) ۱۵۹
۳-۵-۱- بلوک‌های عملیاتی ۱۶۰
۳-۵-۲- بلوک اتصالات (AIM) ۱۶۱
۳-۵-۳- بلوک‌های ورودی/خروجی ۱۶۱
۳-۶- خانواده اکسلریتور (شرکت مایکروسمای) ۱۶۲
۳-۶-۱- بلوک‌های منطقی ۱۶۳
۳-۶-۲- معماری اتصالات ۱۶۵
جمع‌بندی ۱۶۶
تمرین ۱۶۷

فصل ۴: زبان توصیف سخت‌افزار VHDL ۱۷۵
۴-۱- کاربردهای زبان‌های توصیف سخت‌افزار ۱۷۶
۴-۱-۱- VHDL برای مستندسازی و مدل‌سازی ۱۷۶
۴-۱-۲- VHDL برای سنتز ۱۷۹
۴-۱-۳- VHDL برای درستی‌سنجی طرح ۱۸۰
۴-۲- سطوح تجرید برای توصیف سخت‌افزار ۱۸۳
۴-۲-۱-سطح رفتاری ۱۸۴
۴-۲-۲- سطح انتقال ثبات (RTL) ۱۸۷
۴-۲-۳-سطح گیت ۱۹۲
۴-۳- توصیف سخت‌افزار به زبان VHDL ۱۹۳
۴-۳-۱- درگاه‌ها ۱۹۴
۴-۳-۲- انواع داده bit و integer ۱۹۴

www.ketab.ir

۴-۳-۳- توصیف ساختاری با VHDL ۱۹۶
۴-۳-۴- پیکربندی طرح ۲۰۰
تعیین پیکربندی ۲۰۱
اعلان پیکربندی ۲۰۶
قوانین پیش فرض برای پیکربندی ۲۰۸
۴-۳-۵- عملکرد همروند و عملکرد ترتیبی ۲۰۸
۴-۳-۶- ساختارهای for-generate و if-generate ۲۱۰
۴-۳-۷- مداراتی به‌صورت کلی ۲۱۳
۴-۳-۸- سیگنال، متغیر، فایل و ثابت ۲۱۸
۴-۳-۹- انواع داده در VHDL ۲۲۱
نوع داده شمارشی ۲۲۳
زیرنوع‌ها ۲۲۳
۴-۳-۱۰- آرایه‌ها ۲۳۲
تجمیع آرایه‌ای ۲۳۵
۴-۳-۱۱- رکوردها ۲۳۷
تجمیع رکوردی ۲۳۸
۴-۳-۱۲- عملگرها ۲۳۹
۴-۳-۱۲-۱- عملگرهای منطقی ۲۳۹
۴-۳-۱۲-۲- عملگرهای رابطه‌ای ۲۴۰
۴-۳-۱۲-۳- عملگرهای انتقال ۲۴۳
۴-۳-۱۲-۴- عملگرهای جمعی و علامت ۲۴۴
۴-۳-۱۲-۵- عملگرهای ضربی ۲۴۵
۴-۳-۱۲-۶- عملگرهای متفرقه ۲۴۵
جمع‌بندی ۲۴۶
تمرین ۲۴۷

www.ketab.ir

فصل ۵ : ساختارهای ترتیبی و همروند در زبان VHDL ۲۵۷
۵-۱- ساختارهای ترتیبی و دستورهای ترتیبی ۲۵۷
۵-۱-۱- دستورهای ترتیبی ۲۵۸
انتساب سیگنال ۲۵۸
انتساب متغیر ۲۵۹
دستور if ۲۵۹
دستور case ۲۶۱
دستورهای حلقه ۲۶۳
دستور wait ۲۶۶
wait for ۲۶۶
دستورهای assert و report ۲۶۹
۵-۱-۲- انواع ساختارهای ترتیبی ۲۷۲
۵-۱-۲-۱- فرایند ۲۷۲
استفاده از متغیرها و سیگنال‌ها در فرایند ۲۷۶
شباهت اجرای دستور انتساب با اجرای فرایند ۲۸۱
۵-۱-۲-۲-تابع ۲۸۲
۵-۱-۲-۳-روال ۲۸۵
حالت و کلاس پارامترها در تابع و روال ۲۸۶
۵-۱-۲-۴-تابع ناخالص ۲۸۷
۵-۱-۲-۵-تابع تصمیم‌گیری ۲۸۸
۵-۱-۲-۶-گرانبار کردن زیربرنامه‌ها و عملگرها ۲۹۲
۵-۲- ساختار همروند و دستورهای همروند ۲۹۹
۵-۲-۱- انتساب سیگنال ۲۹۹
۵-۲-۲- ایجاد نمونه ۳۰۰
۵-۲-۳- فراخوانی روال ۳۰۰

www.ketab.ir

۵-۲-۴- فرایند ۳۰۱
۵-۲-۵- انتساب سیگنال شرطی ۳۰۱
۵-۲-۶- انتساب سیگنال انتخابی ۳۰۲
۵-۲-۷- دستورهای generate ۳۰۵
۵-۲-۸- دستورهای assert و report ۳۰۷
۵-۳- واحدهای طراحی و سازماندهی توصیف ۳۰۷
جمع‌بندی ۳۱۰
تمرین ۳۱۱

فصل ۶: جریان طراحی ۳۲۵
۶-۱- نگاهی به جریان طراحی سخت‌افزار سیستم دیجیتال ۳۲۵
۶-۱-۱- توصیف نیازمندی‌های سیستم ۳۲۵
۶-۱-۲- طراحی معماری سطح سیستم ۳۲۷
۶-۱-۳- انتخاب تراشه و بسته‌بندی ۳۲۷
۶-۱-۴- انتساب پایه‌های تراشه ۳۳۲
۶-۱-۵- طراحی و درستی‌سنجی درون تراشه ۳۳۳
۶-۱-۶- پیاده‌سازی طرح درون تراشه روی تراشه برنامه‌پذیر ۳۳۳
۶-۱-۷- طراحی و ساخت بورد و درستی‌سنجی سیستم ۳۳۴
۶-۱-۸- مستندسازی و تحلیل پروژه ۳۳۵
۶-۲- جریان طراحی درون تراشه ۳۳۵
۶-۲-۱-توصیف طرح ۳۳۷
۶-۲-۲- درستی‌سنجی توصیف ۳۴۳
۶-۲-۳-سنتز ۳۴۵
۶-۲-۴- درستی‌سنجی پس از سنتز ۳۵۱
۶-۲-۵- جایابی ۳۵۳

www.ketab.ir

۶-۲-۶-مسیریابی ۳۵۴
۶-۲-۷- درستی‌سنجی پس از چینش ۳۵۶
۶-۲-۸- یک مثال ساده از جریان طراحی ۳۵۷
۶-۳- روش‌های درستی‌سنجی طرح ۳۶۳
۶-۳-۱- درستی‌سنجی حین طراحی ۳۶۴
درستی‌سنجی صوری ۳۶۴
شبیه‌سازی ۳۶۵
۶-۳-۲-درستی‌سنجی حین اجرا ۳۶۸
جمع‌بندی ۳۷۲
تمرین ۳۷۳

فصل ۷: توصیف سنتزپذیر در سطح انتقال ثبات ۳۷۷
۷-۱- نکات کلی سنتزپذیری ۳۷۸
۷-۲- توصیف مدارهای ترکیبی ۳۷۹
۷-۳- توصیف مدارهای ترتیبی ۳۸۴
۷-۳-۱- توصیف فلیپ‌فلاپ ۳۸۴
۷-۳-۲- توصیف عملیات منطقی یا حسابی ثبات ۳۸۷
۷-۳-۳- توصیف ماشین حالت متناهی ۳۸۸
توصیف ماشین حالت با سه فرایند ۳۸۹
توصیف ماشین حالت با دو فرایند ۳۹۶
توصیف ماشین حالت با یک فرایند ۴۰۱
کدام نوع توصیف بهتر است؟ ۴۰۴
۷-۳-۴-تعیین نوع انتساب کد به حالت‌ها ۴۰۵
انتخاب نوع کدگذاری ۴۰۸
۷-۳-۵-مدار ترتیبی ایمن ۴۱۵

www.ketab.ir

بازنشانی و پیش‌نشانی ۴۱۵
حالات اضافی ۴۲۱
۷-۳-۶- گزارش ابزار سنتز از سنتز ماشین حالت ۴۲۷
۷-۳-۷-تولید خروجی‌ها در ماشین‌های حالت ۴۲۹
تولید خروجی‌ها به‌صورت ترکیبی ۴۳۳
تولید خروجی‌ها به‌صورت ثبت‌شده ۴۳۳
۷-۴- ملاحظات ابزارهای سنتز در توصیف مدار ۴۳۸
۷-۴-۱- تولید فلیپ‌فلاپ برای سیگنال‌ها ۴۳۹
۷-۴-۲-تولید فلیپ‌فلاپ برای متغیرها ۴۴۱
۷-۴-۳-تولید لچ ۴۴۳
۷-۴-۴-محدودیت‌های سیگنال‌ها و متغیرهای صحیح ۴۴۶
۷-۴-۵-نوع داده std_logic ۴۴۷
۷-۵- موردکاوی: ابزار سنتز شرکت زایلینکس ۴۴۷
۷-۵-۱- انواع داده‌ها و وضعیت درگاه‌ها ۴۴۸
۷-۵-۲-عملگرها ۴۵۰
۷-۵-۳-توابع و روال‌ها ۴۵۰
۷-۵-۴-دستورها و ساختارها ۴۵۱
۷-۵-۵-درگاه‌های باز ۴۵۸
جمع‌بندی ۴۵۸
تمرین ۴۵۹

فصل ۸: فنون عملی طراحی ۴۷۵
۸-۱- طراحی پودمانی و بلوک‌های مالکیت معنوی ۴۷۵
۸-۱-۱- انتخاب بین بلوک آماده و طراحی درون سازمان ۴۷۸
۸-۱-۲- انواع IP ۴۷۹

www.ketab.ir

۸-۱-۳-منابع IP ۴۸۵
۸-۲- طراحی سلسله‌مراتبی ۴۸۶
۸-۳- استفاده از بلوک‌های اولیه ۴۸۸
۸-۴- پیاده‌سازی مدارهای محاسباتی با استفاده از حافظه ۴۹۱
۸-۵- پیاده‌سازی ماشین حالت با استفاده از حافظه ۴۹۶
۸-۶- پیاده‌سازی ماشین حالت با استفاده از پردازنده نهفته ۵۰۰
۸-۷- کاهش مدت زمان چرخه طراحی ۵۰۰
۸-۷-۱- طراحی سلسله‌مراتبی و جاسازی بلوک‌ها ۵۰۱
۸-۷-۲- تنظیم بهره‌وری منطقی و سایر قیدها ۵۰۳
۸-۷-۳- کاهش سطح تلاش ابزار ۵۰۳
۸-۷-۴-استفاده از چند پردازنده ۵۰۴
۸-۷-۵-بررسی و تحلیل نتایج و گزارش‌های ابزارها ۵۰۴
۸-۷-۶- استفاده از زبان دست‌نویس ۵۰۵
۸-۷-۷-ارتقاء سیستم پردازشی ۵۰۷
۸-۷-۸- توصیف مناسب طرح ۵۰۷
۸-۸- مستندسازی ۵۰۸
موارد مستندسازی ۵۰۸
۸-۹- بررسی گزارش‌های ابزارها ۵۱۰
۸-۹-۱-منابع مورداستفاده ۵۱۰
۸-۹-۲- اطلاعات زمانی ۵۱۱
۸-۹-۳- اطلاعات بهینه‌سازی ۵۱۱
۸-۹-۴- اطلاعات ماشین حالت متناهی ۵۱۱
۸-۹-۵- نمودار حالت ۵۱۲
۸-۹-۶- نمودار بلوکی ۵۱۲
۸-۹-۷-نمودار تراشه ۵۱۳

www.ketab.ir

۸-۱۰- پودمان‌های پرکاربرد ۵۱۳
۸-۱۰-۱- حافظه‌ها ۵۱۳
۸-۱۰-۲- ثبات‌های انتقال ۵۲۴
۸-۱۰-۳- شمارنده و انباشتگر ۵۲۶
۸-۱۱- موردکاوی: ابزار شرکت زایلینکس ۵۲۹
۸-۱۱-۱- طراحی پودمانی و بلوک‌های مالکیت معنوی ۵۳۰
۸-۱۱-۲- حفظ سیگنال‌ها در فهرست اتصالات ۵۳۲
۸-۱۱-۳- توصیف برحسب بلوک‌های اولیه ۵۳۳
۸-۱۱-۴- ثبات انتقال ۵۳۴
جمع‌بندی ۵۳۵
تمرین ۵۳۶

فصل ۹: بهینه‌سازی طرح ۵۴۱
۹-۱- بهینه‌سازی مساحت ۵۴۱
۹-۱-۱- تخمین مساحت ۵۴۱
۹-۱-۲- روش‌های بهینه‌سازی مساحت ۵۴۳
بررسی گزارش‌های ابزارها ۵۴۴
اشتراک منابع ۵۴۵
استفاده از گزینه‌های ابزارها ۵۴۹
استفاده از حافظه برای پیاده‌سازی مدارهای منطقی و... ..... ۵۵۰
تعیین کدهای حالت در ماشین‌های حالت ۵۵۰
استفاده از خطوط کنترلی مناسب برای ثبات‌ها ۵۵۰
مسطح‌سازی طرح ۵۵۱
استفاده متوازن از منابع سخت‌افزاری ۵۵۱
استفاده از بلوک‌های IP ۵۵۲

www.ketab.ir

۹-۲- بهینه‌سازی سرعت ۵۵۲
۹-۲-۱-تحلیل زمانی مدارهای ترکیبی ۵۵۲
۹-۲-۲- تحلیل زمانی ایستا ۵۵۴
تحلیل زمانی مدارهای ترکیبی ۵۵۶
تحلیل زمانی مدارهای ترتیبی ۵۶۳
۹-۲-۳-روش‌های بهینه‌سازی سرعت ۵۶۷
استفاده از گزینه‌های ابزار برای بهینه‌سازی ۵۶۸
انتخاب تراشه سریع‌تر ۵۶۸
مسطح‌سازی ۵۶۸
خط لوله‌گذاری ۵۶۸
بازز[illegible]بندی ۵۷۵
استفاده از حافظه برای پیاده‌سازی مدارهای منطقی و... ..... ۵۸۰
تعیین کدهای حالت در ماشین‌های حالت ۵۸۰
ایجاد قیدهای جاساز[illegible]ابی و مسیریابی ۵۸۰
تعیین قید برای ابزارها ۵۸۳
توصیف مناسب کد انتقال ثبات ۵۸۵
۹-۳- بهینه‌سازی توان مصرفی ۵۹۰
۹-۳-۱- تحلیل توان مصرفی ۵۹۱
ملاحظات دمایی ۵۹۵
۹-۳-۲- طراحی برای توان مصرفی کم ۵۹۶
انتخاب تراشه مناسب و استفاده از ولتاژ تغذیه کمتر ۵۹۶
بهینه‌سازی مساحت ۵۹۷
کاهش فرکانس ساعت ۵۹۷
استفاده از گزینه‌های ابزار برای بهینه‌سازی ۵۹۸

www.ketab.ir

گیت کردن سیگنال ساعت ۵۹۸
غیرفعال کردن بلوک‌های بیکار ۶۰۰
کاهش تغییر حالات گره‌های مدار ۶۰۰
تعیین کدهای حالت در ماشین‌های حالت ۶۰۲
۹-۴- موردکاوی: ابزارهای طراحی شرکت زایلینکس ۶۰۳
۹-۴-۱- سنتز ۶۰۳
۹-۴-۲- پیاده‌سازی ۶۰۶
جمع‌بندی ۶۱۱
تمرین ۶۱۲

فصل ۱۰: طراحی سیستم‌های چندپرداخته و طراحی توأم سخت‌افزار و نرم‌افزار ۶۲۳
۱۰-۱- پیاده‌سازی نرم‌افزاری و پیاده‌سازی سخت‌افزاری ۶۲۳
۱۰-۲- جریان طراحی توأم سخت‌افزار نرم‌افزار ۶۳۰
۱۰-۲-۱- تعیین پردازنده و پیکربندی آن ۶۳۲
۱۰-۲-۲- افزودن وسایل جانبی و هسته‌های سخت‌افزاری ۶۳۳
۱۰-۲-۳-انتخاب نوع ارتباط وسایل جانبی با پردازنده ۶۳۴
۱۰-۲-۴- مجتمع‌سازی بخش‌های سخت‌افزاری، اشکال‌زدایی و مسیریابی ... ۶۳۸
۱۰-۲-۵-جریان طراحی نرم‌افزار ۶۳۸
۱۰-۲-۶- نکات تکمیلی ۶۳۹
سیستم عامل ۶۳۹
سیستم چندپردازنده‌ای ۶۳۹
امکانات تسهیل کار با ابزارها ۶۴۰
جمع‌بندی ۶۴۰
تمرین ۶۴۱

www.ketab.ir

فصل ۱۱: طراحی سطح بالا ۶۶۳
۱۱-۱- مزایا و معایب طراحی و سنتز سطح بالا ۶۶۵
۱۱-۲- انواع عملیات سنتز سطح بالا ۶۶۶
۱۱-۳- مراحل سنتز الگوریتم ۶۶۷
۱۱-۳-۱- زمان‌بندی برمبنای وابستگی داده‌ای ۶۷۴
۱۱-۴- مراحل سنتز مدار واسط ۶۷۷
۱۱-۵- محدودیت‌های زبان‌های سطح بالا برای توصیف سخت‌افزار ۶۸۰
۱۱-۶- ساختارهای غیرمجاز زبان C/++ C برای سنتز سطح بالا ۶۸۲
۱۱-۷- بهینه‌سازی در سنتز سطح بالا ۶۸۲
۱۱-۸- توصیف سطح بالا با اوپن-CL ۶۸۷
۱۱-۸-۱- مدل‌های توصیف اوپن-CL ۶۸۸
۱۱-۸-۲- مثال‌هایی از کرنل هسته برای محاسبات موازی ۶۹۲
۱۱-۸-۳- اوپن-CL در تراشه‌های FPGA ۶۹۴
۱۱-۹- توصیف سطح بالا با سیموا‌ینک ۶۹۵
۱۱-۹-۱- مراحل طراحی با سیمولینک ۶۹۶
جمع‌بندی ۶۹۹
تمرین ۷۰۰
فهرست منابع ۷۰۵
واژه‌نامهٔ فارسی به انگلیسی ۷۰۹
نمایه ۷۲۱

www.ketab.ir

مقدمه

پیشرفت‌های شگرف در فناوری میکروالکترونیک در دهه‌های اخیر و رشد چشمگیر این صنعت در چند سال گذشته باعث ورود محصولات گوناگونی در زندگی روزمره مردم شده است. امروزه آمیختگی محصولات الکترونیکی با زندگی انسان‌ها به‌گونه‌ای است که حتی تجسم زندگی بدون الکترونیک نیاز به قوه تخیل قوی دارد. این رشد چشمگیر عمدتاً مرهون توانایی‌ها و خصوصیات قابل‌توجه مدارهای دیجیتال است. از یک سو پردازنده‌های عام‌منظوره مانند تراشه‌های[1] پنتیوم[2] و آرم[3] و سیستم‌های مبتنی بر آنها انعطاف‌پذیری و برنامه‌پذیری بالایی را در اختیار طراحان نرم‌افزار قرار می‌دهند و از سوی دیگر مدارهای مجتمع خاص‌منظوره[4] (ASIC) و تراشه‌های منطقی برنامه‌پذیر[5] (PLD) به کمک ابزارهای طراحی مدرن قابلیت‌های فراوانی را برای طراحی سیستم‌های دیجیتال فراهم کرده است.

در این کتاب، طراحی و پیاده‌سازی مدارها و سیستم‌های دیجیتال با استفاده از ابزارهای طراحی خودکار مانند ابزارهای سنتز و شبیه‌سازی آموزش داده می‌شود. با توجه به فراوانی و فراگیری عمده تراشه‌های منطقی برنامه‌پذیر و نیز در دسترس بودن آنها در کشور، مطالب کتاب بیشتر درباره طراحی و پیاده‌سازی با استفاده از این گونه تراشه‌ها است ولی نظر به اهمیت و محاسن پیاده‌سازی

---

1. Chip
2. Pentium
3. Arm
4. Application Specific Integrated Circuits
5. Programmable Logic Device

www.ketab.ir

با تراشه‌های ASIC، در برخی از مباحث، تفاوت‌های این دو مورد بررسی قرار گرفته تا طراحان و شرکت‌های طراحی بتوانند در صورت نیاز، انتخاب مناسبی از میان این دو داشته باشند.

این کتاب در ۱۱ فصل ارائه شده است. بنابر تجربه نگارنده، مطالب کتاب کمی بیشتر از یک درس سه واحدی است و مدرس می‌تواند به صلاحدید خود برخی از مطالب را تدریس نکند. ترتیب فصل‌ها بر اساس روال منطقی مفاهیم چیده شده است. اما در صورتی که مدرس لازم بداند که دانشجویان زودتر با مباحث توصیف و طراحی سخت‌افزار آشنا شوند، می‌تواند ترتیب دیگری را انتخاب کند. برای ترتیب تدریس کتاب، علاوه بر دنبال کردن ترتیب فصل‌ها، گزینه‌های زیر را نیز می‌توان بدون ایجاد اشکال در تقدم و تأخر مفاهیم انتخاب کرد:

الف) فصل ۱: بخش‌های ۱-۱ تا ۳-۱ و بخش ۶-۱

فصل ۲: بخش‌های ۲-۱ تا ۲-۳ و

از فصل ۴ تا فصل ۷

بخش‌های باقی‌مانده از فصل‌های ۱ تا ۳

فصل ۹ تا پایان کتاب

ب) فصل ۴ و فصل ۵

فصل ۱: بخش‌های ۱-۱ تا ۳-۱ و بخش ۶-۱

فصل ۲: بخش‌های ۲-۱ و ۲-۲ و

از فصل ۶ تا فصل ۸

بخش‌های باقی‌مانده از فصل‌های ۱ تا ۳

فصل ۹ تا پایان کتاب

مخاطبان دیگر این کتاب طراحان دیجیتال هستند که در شرکت‌های طراحی مشغول به کارند و می‌خواهند مهارت بیشتری در طراحی سیستم‌های دیجیتال روی تراشه‌ای برنامه‌پذیر کسب کنند. فنون طراحی متنوعی در این کتاب، به‌خصوص در فصل‌های ۸ و ۹ و نیز در سراسر کتاب تحت عنوان «نکته عملی»، درنظر گرفته شده که با کمک آنها، طراحان می‌توانند طراحی باکیفیت‌تری را انجام دهند.

www.ketab.ir

با توجه به تنوع سخت‌افزار (تراشه‌های برنامه‌پذیر) و نرم‌افزار (ابزارهای طراحی) در صنعت و نیز تحولات سریع در آن، سعی شده مطالب کتاب تا حدی مستقل از این تغییرات و تأکید بیشتر بر مفاهیم پایه‌ای باشد. بدین ترتیب، خواننده با کسب دانش و مهارت طراحی و پیاده‌سازی، آسان‌تر می‌تواند با این تغییرات سازگاری پیدا کند. باوجوداین، لازم بود این مفاهیم اساسی بر بستر نمونه‌های واقعی در بازار آموزش داده شوند. به‌همین دلیل، از یک سو، عملکرد و معماری تراشه‌های موجود در بازار تشریح شده و از سوی دیگر، یکی از ابزارهای رایج در صنعت (ویوادو) موردبررسی قرار گرفته است و برخی از مفاهیم طراحی برپایه این ابزار توضیح داده شده‌اند. علاوه براین، برای آنکه خوانندگان بتوانند تمرین‌ها و پروژه‌های خود را به‌صورت عملی انجام دهند، در پیوست کتاب، لوح فشرده‌ای تهیه شده که در آن نرم‌افزارهای طراحی و درستی‌سنجی به همراه فیلم‌های آموزشی لازم برای کار با این ابزارها در اختیار خوانندگان قرار گرفته است. بنابراین، در کتاب حاضر، نحوه کار با ابزارها، آن‌چنان‌که در دستور کار آزمایشگاه‌ها به‌صورت گام‌به‌گام آموزش داده می‌شود، توضیح داده نشده ولی لوح فشرده پیوست کتاب و نیز وبگاه آن این‌گونه منابع را دربردارد.

یکی از چالش‌های نگارش کتاب فنی، یافتن معادل مناسب برای واژه‌های فنی است. خوشبختانه در سال‌های اخیر، فرهنگستان زبان و ادب فارسی وبگاهی را بنیان نهاده[1] که نویسندگان می‌توانند واژه‌های مصوب را در آن جستجو کنند. از آنجایی که این نهاد مرجع اصلی و رسمی زبان فارسی است، در انتخاب واژه‌های معادل، در درجه اول از واژه‌های مصوب فرهنگستان استفاده شده و درصورتی‌که هنوز واژه معادلی تصویب نشده، تلاش شده واژه‌هایی انتخاب شوند که سایر نویسندگان به‌کرات از آنها استفاده کرده‌اند و در مجامع علمی رواج بیشتری داشته است. این روش می‌تواند نابسامانی نسبی موجود در واژه‌گزینی را تا حد زیادی کاهش دهد و ضمن غنی‌سازی واژه‌های فنی فارسی، به پایدارتر شدن آنها کمک کند. البته مواردی هم بوده که واژه مصوب یا رایجی وجود نداشته و سعی شده واژه مناسبی اختیار شود.

در متن کتاب، واژه غیرفارسی به‌کار نرفته است[2]، اما برای آنکه از روان‌خوانی متن کاسته نشود،

---

1. http://www.persianacademy.ir/fa/word/

۲. بدیهی است استفاده از کلیدواژه‌های زبان VHDL با حروف انگلیسی نیز اجتناب‌ناپذیر است.

www.ketab.ir

عباراتی که در زبان اصلی به‌صورت کوته‌نوشت رواج یافته (مانند FPGA و VHDL)، به‌همان شکل اصلی استفاده شده‌اند.

در تدوین این کتاب، غیر از نگارنده، اشخاص دیگری نیز یاری کرده‌اند. آقای دکتر محمد فرداد زحمت بازخوانی کتاب را کشیده‌اند. آقای مهندس محسن آجرلو شکل‌های کتاب را به دقت رسم کرده‌اند. آقای مهندس پویا محمودی علاوه بر آزمایش توصیف‌های VHDL با ابزارهای طراحی، با کمک آقای مهندس وحید امینی برخی از تمرین‌های آخر فصل کتاب را تهیه کرده‌اند. آقای مهندس امینی و خانم مهندس هانیه قاسمی فیلم‌های آموزشی را تهیه کرده‌اند. از نظرات آقای دکتر مهدی صدیقی درباره چند بخش از کتاب نیز بهره برده‌ام. لازم می‌دانم از زحمات همه آنها تشکر کنم.

www.ketab.ir